

# CMOSアニーリングマシンの概要



株式会社 日立製作所 研究開発グループ 主任研究員 **山岡 雅直**

## 1. はじめに

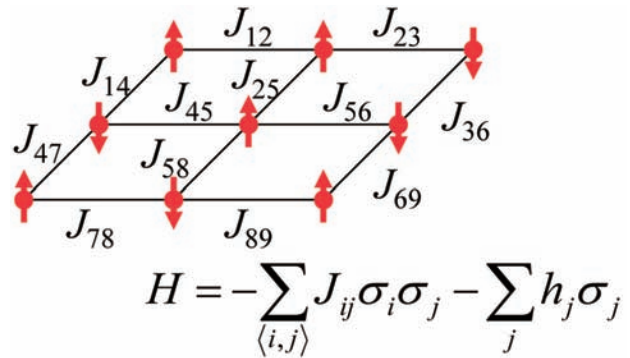
IoT (Internet of Things) が一般的となり、そこで必要とされる計算能力は増大している。ノイマン型コンピュータでは、半導体の微細化とともに計算能力は指数関数的に増大し、コンピュータへの性能要求は満たされてきた。しかし、半導体の微細化は終焉が近いと言われており、従来のノイマン型コンピュータの性能向上は困難となっている。また、今後のIoT時代を考えると、社会で用いられる様々なシステムにおいては、様々な制御が重要となる。この制御には、システムを制御するパラメータの最適な組合せを求めることが必要となり、そのためには、組合せ最適化問題と呼ばれる問題を高速に処理することが必要となる。

組合せ最適化問題を効率よく解く手法として、イジングモデルを用いたアニーリングマシンが提案されている<sup>[1] [2] [3]</sup>。これらのアニーリングマシンは様々な実装があるが、半導体回路を用いてイジングモデルを模擬したCMOSアニーリングマシンを提案した<sup>[4] [5] [6]</sup>。このCMOSアニーリングマシンのプロトタイプを試作し、組合せ最適化問題の1つである最大カット問題を効率的に処理できることを確認した。また、FPGAを用いた第二世代のCMOSアニーリングマシンのプロトタイプを試作し、より複雑な組合せ最適化問題が解けることを確認するとともに、この第二世代のCMOSアニーリングマシンを複数接続することで、さらに大規模化できることを確認した。

## 2. 組合せ最適化問題とアニーリングマシン

組合せ最適化問題とは、与えられた条件の中で評価指標を最大（または最小）とするパラメータの組合せの解を探索する問題である。組合せ最適化問題は、その問題で決定するパラメータの数が多くなると、その問題の解の候補が爆発的に多くなるという特徴がある。今後、社会システムはシステム自体が大規模化するとともにシステムのつながりも複雑化し、最適化するパラメータの数は増大する傾向にあると言える。

この組合せ最適化問題を効率的に処理する技術として、磁性体のスピンの振る舞いを表す統計力学上のモデルであるイジングモデルを用いたアニーリングマシンが提案されて



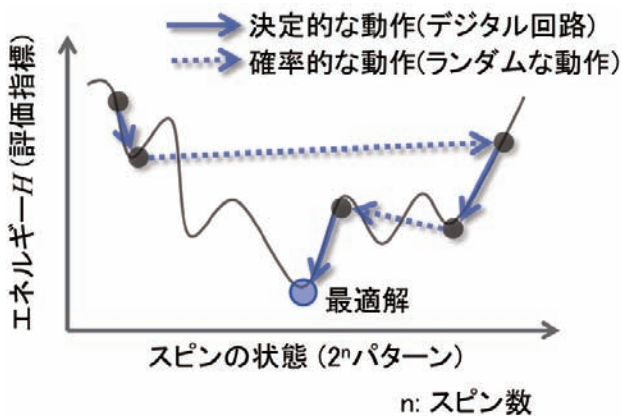
■ 図1. イジングモデル

いる。イジングモデルを図1に示す。イジングモデルは、磁性体の性質を表す上下の向きを持つスピンの状態  $\sigma_i$  と2つのスピン間で及ぼしあう相互作用の力を表す相互作用係数  $J_{ij}$ 、及び外部から与えられた磁場の力を表す外部磁場係数  $h_j$  で表される。そのイジングモデルが持つエネルギー  $H$  は図1中の式で表される。イジングモデルはそのエネルギー  $H$  が最小となるようにスピンの状態が更新され、最終的に  $H$  が最小となるという性質がある。このイジングモデルを用いて組合せ最適化問題を解く場合には、まず組合せ最適化問題の評価指標がこのイジングモデルのエネルギーに対応するように問題を写像する。その際には、最適化問題のパラメータがイジングモデルのスピンの値に対応する。次に、イジングモデルの収束動作によりエネルギーを最小とするスピンの状態の組合せが求まる。このスピンの値を観測し、その状態をマッピングした元の最適化問題に戻すと、評価指標を最小化するパラメータの組合せ、つまり組合せ最適化問題の解が求まる。

## 3. CMOSアニーリングマシン

アニーリングマシンを半導体のCMOS回路を用いて疑似的に再現し、組合せ最適化問題を処理する手法を提案した。CMOS回路を用いることで、製造が容易で拡張性が高く使いやすという特徴がある。

アニーリングとは、焼きなましとも呼ばれ、エネルギーの低い状態を探索する動作であり、イジングモデルの基底状態を探索する場合などに用いられる。この動作をCMOS半

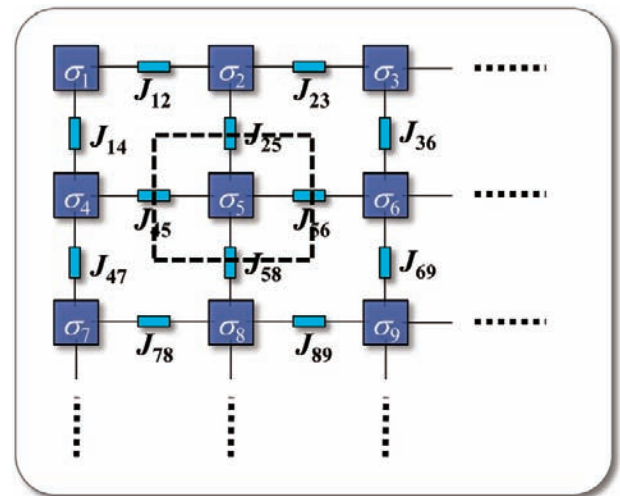


■ 図2. CMOSアニーリング

導体を用いて実現するには、図2に示すように2つの動作によって実現する必要がある。1つは、図2の実線の矢印で示されるように、決定的な動作でエネルギーランドスケープにしたがってエネルギーの低い状態に状態を遷移させる動作である。決定的な挙動のみでは、局所解と呼ばれるローカルに存在するエネルギーの谷にトラップされ、それ以上エネルギーが低い状態を探索することが困難となる。よって、この局所解から脱出するために、確率的な動作によってエネルギーの状態をランダムに遷移させ、なるべく低いエネルギーの状態を探索する。これら2つの動作を組み合わせるとエネルギーの低い状態を探索する動作をCMOSアニーリングと呼ぶ。CMOSアニーリングでは、決定的な動作をデジタル回路によるスピン間の相互作用で実現するとともに、確率的な動作を乱数を用いて実現する。

CMOSアニーリングでは、乱数を用いているため、必ずしも最適な解が求まるとは限らない。しかし、このコンピューティング技術を現実の社会システムの最適化に使う場合には、必ずしも最適値でなくても許容できると考えられる。例えば、物流の経路を求める際に、経路全体の値が多少長くなってもシステム最適化の観点からみれば許容可能であると考えられる。よって、このCMOSアニーリング技術は、学術的な厳密な精度を追求せず、実用性を重視した技術であると言える。

イジングモデルは、スピンの状態を2値で保持する必要があるため、半導体を用いたSRAMによりスピンの状態を保持する。さらに、スピン間の相互作用の強さを表す相互作用係数と外部磁場の強さを表す外部磁場係数をスピンの値と同様にSRAMによって保持する。また、スピンの値を更新するための相互作用の効果は、デジタル回路の動作



■ 図3. CMOSアニーリングマシンの構成

によって再現する。

CMOSアニーリングを実現するための構成を図3に示す。図3中の $\sigma_n$ はスピンを表しており、ここにスピンの+1/-1の情報が保存される。さらに $J_{ij}$ はスピン間の相互作用を表している。この図中の点線で囲まれた部分が1つのスピンの動作を実行する回路を表しており、スピン自体の情報を保存するとともに、そのスピンにつながるスピンからの影響を用いてスピンの状態を更新するための回路を含んでいる。このスピンの回路においてスピンの状態を更新することでCMOSアニーリング動作を実現する。このスピンの状態の更新は、接続されていないスピンで同時に並列に行うことが可能となる。例えば、図3の例では、スピン $\sigma_{1,3,5,7,9}$ はお互いに接続されていないため同時に更新することが可能となる。同様に、スピン $\sigma_{2,4,6,8}$ はお互いに接続されていないため同時に更新することが可能となる。このように、図3のトポロジ(スピン間のつながり)を持つ構成では、全スピンの半分が同時に状態を更新することが可能となる。つまり、この構成では、スピンの数が増えた場合にも2サイクルで全スピンの状態を更新することが可能となり、規模が大きくなっても計算に必要な時間の増加は抑えられる。

図2のCMOSアニーリング動作の確率的な動作は、スピン回路に乱数列を注入し、その乱数列を評価して、確率的にスピンの値を反転させ、図2の点線のように関係ない状態にランダムに遷移させる<sup>[7][8]</sup>。スピン間の相互作用動作とこの確率的に状態を遷移させる動作を合わせてCMOSアニーリングを実現し、イジングモデルのできるだけエネルギーが低い状態を見つけることができる。

#### 4. CMOSアニーリングマシンのプロトタイプ

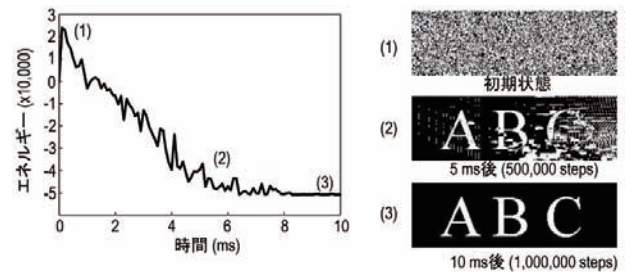
提案したCMOSアニーリングマシンの動作を実証するために65nmのCMOSプロセスを用いて、CMOSアニーリング動作を再現するイジングチップを試作した。チップ写真を図4 (a)に示す。3mm x 4mmのチップ内に20k (=2万) スピンを搭載した。1スピンのサイズは、 $11.27 \times 23.94 = 270 \mu\text{m}^2$ である。外部からスピン及び相互作用係数を書き込み読み出しするためのインタフェース回路は100MHzで動作する。また、スピン値を更新する相互作用動作も100MHzで動作する。

このイジングチップでは、2次元の格子状のイジングモデルが2層接続された3次元のイジングモデルが搭載されている。3次元のイジングモデルは、2次元のメモリ構造に埋め込まれる。半導体のチップでは、2次元構造を持つことによって高い集積性を実現しており、本イジングチップも同様に高い集積性、つまり、多くのスピンを搭載できるという特徴がある。図4 (b) に、2つのイジングチップを搭載したイジングコンピューティングノードの試作機を示す。試作機にはLAN経由でPCやサーバからアクセス可能で、最適化問題を入力して解くことが可能となる。

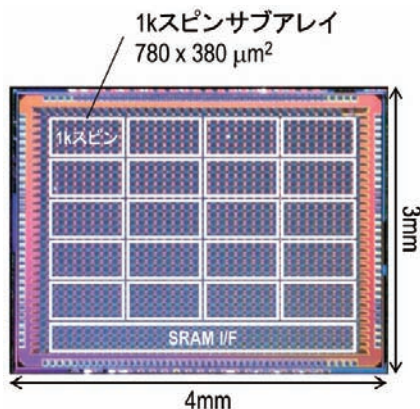
図5に、NP完全の組合せ最適化問題である最大カット問題をイジングチップで解いた場合の結果について示す。図5 (a)は最大カット問題を解いた場合のイジングモデルのエネルギーの変化を示す。CMOSアニーリング動作を実行すると、時間とともにエネルギーが低下し、最終的に10m秒でエネルギーが最小になっていることが分かる。問題を解かせた際のスピンの状態変化を図5 (b)の白黒の絵により示す。ここで、白点が上向きのスピンを、黒点が下向きのスピンを表している。今回の問題は、最適解が見つかった

際にスピンの状態を表す絵の中にABCという文字がクリアに表れるよう設定した。絵のスピン状態の変化をみると、初期状態ではスピンの状態がランダムになっており、白点と黒点が規則性なく配置されている。5ms後には、イジングモデルのエネルギーが下がり、ノイズを含んだABCの文字が現れている。しかしこの状態はノイズが含まれていることから分かれるとおり局所解の状態となっている。さらにCMOSアニーリング動作を実行することで、エネルギーが下がり10msの時点でABCの文字がノイズなく現れている。この状態がエネルギー最小の状態、つまり、最大カット問題の最適解が求まっている状態を示している。今回の例では、最適解が求められている例を示したが、前述のとおりCMOSアニーリングでは確率的な動作を導入しているため、必ずしも毎回最適解が求まるとは限らない。ただし、この動作によってエネルギーが下がり、組合せ最適化問題のなるべく良い解が得られることが確認できた。

さらに第2世代のプロトタイプとして、FPGAを用いたCMOSアニーリングマシンを試作した。このプロトタイプ



■ 図5. 第1世代プロトタイプの実験結果

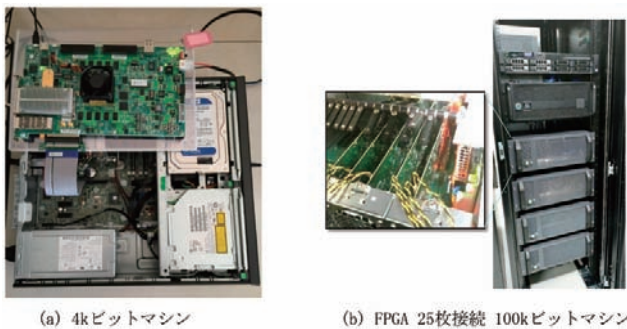


(a) 試作チップ



(b) 試作したイジングコンピューティングノード

■ 図4. 第1世代プロトタイプ



(a) 4kビットマシン

(b) FPGA 25枚接続 100kビットマシン

■ 図6. 第二世代FPGAプロトタイプ

写真を図6 (a)に示す。このプロトタイプでは、FPGAを用いているためイジングモデルの様々なトポロジや相互作用係数の係数幅を試行することが可能となる。この柔軟性を活かして、イジングモデルをハードウェアのトポロジに埋め込むための埋め込みアルゴリズムの開発を行った<sup>[9]</sup>。このアルゴリズムを使うことで実社会にある組合せ最適化問題をCMOSアニーリングマシン上で実行することが可能となる。

また、CMOSアニーリングマシンの最大の特長として、複数チップを接続することで容易に大規模化できるという点がある。これはデジタル回路によって計算を実行しているため、チップ間でデジタル信号をやり取りしても、チップ内と同様の動作が可能であることによる。さらに、CMOSアニーリングマシンでは、スピン間のつながりをスパースなつながりとしているため、あるチップ内のスピンの情報を接続されている別チップに容易に送ることができるという特長がある。このスケーラビリティを確認するために、第2世代のプロトタイプを複数接続して100kビットの大規模マシンを構築した。これを用いると第2世代と比較して25倍巨大な問題を解くことが可能となり、より今後大規模化する社会問題に対応することが可能となった (図6 (b))。

## 5. おわりに

CMOS半導体回路を用いたアニーリングマシンであるCMOSアニーリングマシンを構築した。第1世代のプロトタイプでは約2万スピンの搭載されており、今後、さらに微細な半導体プロセスを用いることで大規模なイジングモデルを再現することが可能となる。さらに、今回、スピン間の相互作用はデジタル値を用いて計算されている。よって、複数のチップを接続することが容易であり、複数チップを使ってさらに規模を拡大することが可能である。この複数

チップ動作を第二世代のプロトタイプを用いて正常動作することを確認した。この半導体を用いたアプローチは使いやすさやスケーラビリティの観点から工学的に意味があると言える。今回試作したCMOSアニーリングマシンでは、実際に組合せ最適化問題である最大カット問題が解けることを確認した。これは、数学的に他の組合せ最適化問題に変換できることが知られており、実際のシステムの最適化に適用できると考えられる。

## 参考文献

- [1] W. Johnson et al., Quantum annealing with manufactured spins, *Nature* 473, pp. 194-198, 12nd May 2011.
- [2] T. Inagaki et al., A coherent Ising machine for 2000-node optimization problems, *Science* 20, Oct 2016, DOI: 10.1126/science.aah4242.
- [3] P. L. McMahon et al., A fully-programmable 100-spin coherent Ising machine with all-to-all connections, *Science* 20, Oct 2016, DOI 10.1126/science.aah5178.
- [4] C. Yoshimura et al., Spatial computing architecture using randomness of memory cell stability under voltage control, 21st European Conference on Circuit Theory and Design, September 2013.
- [5] M. Yamaoka et al., 20k-spin Ising Chip for Combinatorial Optimization Problem with CMOS Annealing, *ISSCC 2015 digest of technical papers*, pp. 432-433, Feb., 2015.
- [6] M. Yamaoka et al., A 20k-Spin Ising Chip to Solve Combinatorial Optimization Problems With CMOS Annealing, *IEEE J. Solid-State Circuits*, vol. 51, no. 1, pp. 303-309, Jan. 2016.
- [7] M. Hayashi et al., An Accelerator Chip for Ground-State Searches of the Ising Model with Asynchronous Random Pulse Distribution, 2015 Third International Symposium on Computing and Networking (CANDAR), pp. 542-546, Feb. 2015.
- [8] M. Hayashi et al., Accelerator Chip for Ground-state Searches of Ising Model with Asynchronous Random Pulse Distribution, *International Journal of Networking and Computing*, vol. 6, no. 2, pp195-211, July 2016.
- [9] T. Okuyama et al., Computing architecture to perform approximated simulated annealing for Ising models, *International Conference on Rebooting Computing*, Oct. 2016.